

MENU

SEARCH

INDEX

DETAILS

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-014840

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

G11C 7/00
G06F 12/02
G11C 11/401

(21)Application number : 11-178886

(71)Applicant : NEC CORP

(22)Date of filing : 24.06.1999

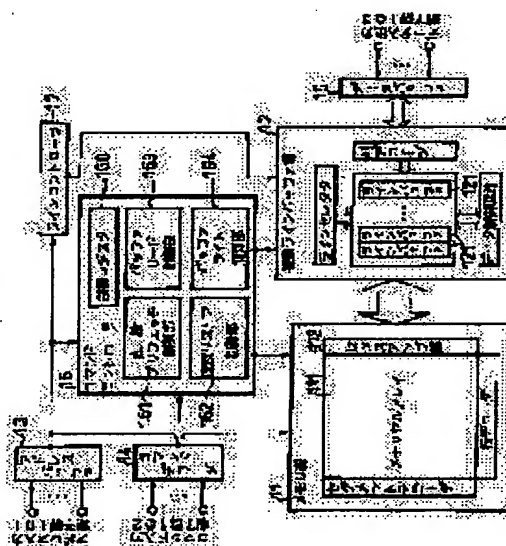
(72)Inventor : MOTOMURA MASATO

(54) PLURAL LINE BUFFER TYPE MEMORY LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a memory access delay with a simpler configuration and operation (control method).

SOLUTION: A direct prefetch control unit 161 controls to directly read data in a segment unit from a memory cell array 111 to a line buffer 121 based on a direct prefetch command. A direct restoration control unit 162 controls to directly write back the data in a segment unit from the line buffer 121 to the memory cell array 111 based on a direct restoration command. A buffer read control unit 163 controls to read data in a word unit from the line buffer 121 externally based on a buffer read command. A buffer write control unit 164 controls to write external data in a word unit in the line buffer 121 based on a buffer write command.



LEGAL STATUS

[Date of request for examination] 25.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 04.12.2003

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-14840
(P2001-14840A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
G 1 1 C 7/00	3 1 2	G 1 1 C 7/00	3 1 2 Z 5 B 0 2 4
G 0 6 F 12/02	5 9 0	G 0 6 F 12/02	5 9 0 Z 5 B 0 6 0
G 1 1 C 11/401		G 1 1 C 11/34	3 6 2 C

審査請求 有 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願平11-178886

(22) 出願日 平成11年6月24日 (1999.6.24)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本村 真人

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088890

弁理士 河原 純一

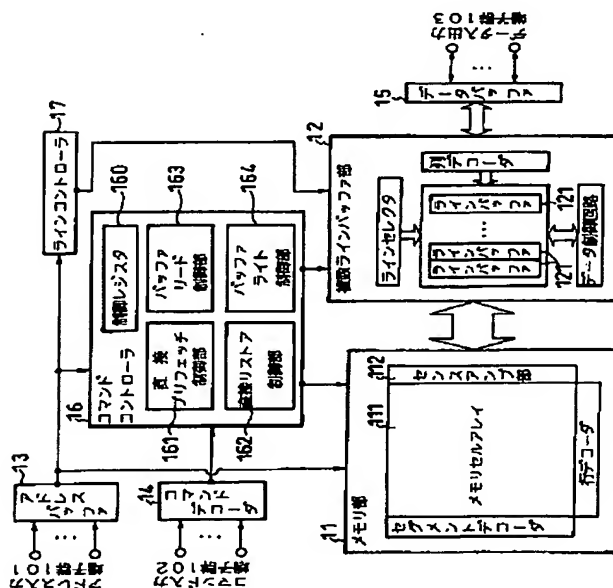
Fターム (参考) 5B024 AA15 BA25 BA29 CA15
5B060 CA05 CA06 CB01

(54) 【発明の名称】 複数ラインバッファ型メモリLSI

(57) 【要約】

【課題】 より簡便な構成および動作 (制御方法) でメモリアクセス遅延を削減することができる複数ラインバッファ型メモリLSIを提供する。

【解決手段】 直接プリフェッチ制御部161は、直接プリフェッチコマンドに基づき、メモリアルレイ111からラインバッファ121まで直接にセグメント単位のデータを読み出す制御を行う。直接リストア制御部162は、直接リストアコマンドに基づき、ラインバッファ121からメモリアルレイ111に直接にセグメント単位のデータを書き戻す制御を行う。バッファリード制御部163は、バッファリードコマンドに基づき、ラインバッファ121からワード単位のデータを外部に読み出す制御を行う。バッファライト制御部164は、バッファライトコマンドに基づき、ラインバッファ121に外部からのワード単位のデータを書き込む制御を行う。



【特許請求の範囲】

【請求項1】 メモリ部に複数のラインバッファからなる複数ラインバッファ部を付加し、前記複数ラインバッファ部内の1つのラインバッファと前記メモリ部内のメモリセルアレイとの間でセグメント単位でデータの読み書きを行うことを特徴とする複数ラインバッファ型メモリLSIにおいて、直接プリフェッチコマンドに基づき、前記メモリ部内の複数のメモリセルから前記複数ラインバッファ部内のラインバッファまで直接にセグメント単位のデータを読み出す制御を行うコマンドコントローラ内の直接プリフェッチ制御部と、直接リストアコマンドに基づき、前記複数ラインバッファ部内のラインバッファから前記メモリ部内の複数のメモリセルまで直接にセグメント単位のデータを書き戻す制御を行うコマンドコントローラ内の直接リストア制御部と、バッファリードコマンドに基づき、前記複数ラインバッファ部内のラインバッファからワード単位のデータを外部に読み出す制御を行うコマンドコントローラ内のバッファリード制御部と、バッファライトコマンドに基づき、前記複数ラインバッファ部内のラインバッファに外部からのワード単位のデータを書き込む制御を行うコマンドコントローラ内のバッファライト制御部と、前記直接プリフェッチ制御部、前記直接リストア制御部、前記バッファリード制御部、および前記バッファライト制御部による制御の実行に際して、外部からの指示に基づいて前記複数ラインバッファ部内の処理対象となるラインバッファを特定する制御を行うラインコントローラとを有することを特徴とする複数ラインバッファ型メモリLSI。

【請求項2】 メモリセルアレイおよびセンスアンプ部を含む前記メモリ部を有し、セグメント単位でデータの読み書きを行う際に一度に動作する複数個のセンスアンプのセットのサイズを当該セグメントのサイズと等しくすることを特徴とする請求項1記載の複数ラインバッファ型メモリLSI。

【請求項3】 メモリセルアレイおよびセンスアンプ部を含む前記メモリ部を有し、セグメント単位でデータの読み書きを行う際に一度に動作する複数個のセンスアンプのセットのサイズを当該セグメントのサイズの2以上の正整数倍とすることを特徴とする請求項1記載の複数ラインバッファ型メモリLSI。

【請求項4】 メモリセルがビット線対に接続され、ビット線対がセンスアンプに接続される構成を持つ前記メモリ部を有し、直接プリフェッチコマンドに基づき前記メモリ部内のメモリセルから前記複数ラインバッファ部内のラインバッファまでセグメント単位のデータを読み出す際に、前記センスアンプによるセンス動作が完了するタイミングにあわせて前記ビット線対のプリチャージ動作と前記センスアンプのイコライズ動作とを行うことを特徴とする請求項1、請求項2、または請求項3記載の複数ラインバッファ型メモリLSI。

【請求項5】 メモリセルがビット線対に接続され、ビット線対がセンスアンプに接続される構成を持つ前記メモリ部を有し、直接プリフェッチコマンドに基づき前記メモリ部内のメモリセルから前記複数ラインバッファ部内のラインバッファまでセグメント単位のデータを読み出す際に、前記センスアンプで当該セグメントデータを一時的に保持する動作を行うことを特徴とする請求項1、請求項2、または請求項3記載の複数ラインバッファ型メモリLSI。

10 【請求項6】 前記複数ラインバッファ部をフルアソシアティブ構成とすることを特徴とする請求項1、請求項2、請求項3、請求項4、または請求項5記載の複数ラインバッファ型メモリLSI。

15 【請求項7】 前記複数ラインバッファ部をセットアソシアティブ構成とすることを特徴とする請求項1、請求項2、請求項3、請求項4、または請求項5記載の複数ラインバッファ型メモリLSI。

20 【請求項8】 前記ラインコントローラによる制御を外部からのコマンドに基づくコマンドコントローラによる制御で実現することを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、または請求項7記載の複数ラインバッファ型メモリLSI。

25 【請求項9】 バッファリード動作時/バッファライト動作時に、コマンドコントローラ内の制御レジスタに外部から設定されるバースト長情報に基づき、一度のコマンド/アドレスの入力で連続する複数のワードデータを読み書きすることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、または請求項8記載の複数ラインバッファ型メモリLSI。

30 【発明の詳細な説明】

【0001】

35 【発明の属する技術分野】 本発明は、メモリアクセス遅延を実効的に削減することを目的としてメモリ部に複数のラインバッファ（複数ラインバッファ部）を付加（メモリ部の外側に隣接させて設置すること）した複数ラインバッファ型メモリLSI（Large Scale Integration）に関する。

【0002】

40 【従来の技術】 近年、汎用メモリLSIの高性能化技術として、複数ラインバッファ型メモリLSIが注目されている。複数ラインバッファ型メモリLSIとは、汎用メモリLSI内のメモリ部に隣接させて複数のラインバッファから構成される複数ラインバッファ部を設け（付加し）、この複数ラインバッファ部にメモリ部内の記憶データの一部分をプリフェッチ（あらかじめデータを読み出すしておくこと）することを特徴とするものである。複数ラインバッファ型メモリLSIは、このような高速アクセスが可能な複数ラインバッファ部を設けることにより、メモリアクセス時の遅延時間（メモリアクセス遅延）を実効的に削減することを目的としている。

50

【0003】上記のような複数ラインバッファ型メモリLSIの代表的な例として、日本電気株式会社が発表したVCM (Virtual Channel Memory) アーキテクチャがある。

【0004】このVCMアーキテクチャは、実際に、64Mb (bit) DRAM (Dynamic Random Access Memory) に適用され製品化されている (詳細は、「64Mb Virtual Channel SDRAM (Synchronous DRAM) Data Sheet」として日本電気株式会社より公開されている)。なお、このVCMアーキテクチャでは、ラインバッファのことがチャネル (Channel) と呼ばれている。また、このVCMアーキテクチャに関しては、特開平10-326225号公報においても、その技術内容が開示されている。

【0005】図6は、このVCMアーキテクチャに係る複数ラインバッファ型メモリLSI (以下、「従来技術1」と呼ぶ) の構成を簡略化して示すブロック図である。

【0006】また、図7は、従来技術1におけるメモリ部と複数ラインバッファ部との間のデータの読み書きの単位を模式的に説明するための図である。

【0007】よく知られているように、DRAMにおけるメモリ部は、ページと呼ばれる単位で活性化され、活性化されたページは、メモリ部内のセンスアンプ部に読み出される。通常のDRAMの場合には、活性化された (センスアンプ部に読み出された) ページ内から1つのワードが読み出される。従来技術1のVC-SDRAMの場合には、これとは異なり、活性化されたページ内のセグメントと呼ばれる部分のデータが一括して複数ラインバッファ部との間で読み書きされる (セグメントとは1つのラインバッファ全体に記憶されるデータ領域を指す)。ここで、ページ、セグメント、およびワードの大きさは、従来技術1では、それぞれ4Kb、1Kb、および16bである。

【0008】図7をより詳しく説明すると、従来技術1におけるメモリアクセスは、バックグラウンド動作とフォアグラウンド動作との2段階の動作によって実現される。

【0009】バックグラウンド動作とは、メモリ部と複数ラインバッファ部との間で行われるセグメント単位のデータ転送に必要な動作のことを意味する。また、フォアグラウンド動作とは、複数ラインバッファ部とデータ入出力端子群との間で行われるワード単位のデータ転送に必要な動作のことを意味する。

【0010】バックグラウンド動作には、主に、ページを活性化してセンスアンプ部に読み出すページオープン動作と、メモリ部内のセンスアンプ部に読み出された (活性化された) ページから所望のセグメントのデータを複数ラインバッファ部に読み出すプリフェッチ動作

と、メモリ部内のセンスアンプ部に読み出された (活性化された) ページにセグメントのデータを書き戻すリストア動作と、活性化されたページを閉じて別のページの活性化に備えるためのページクローズ動作との4種類が存在する。

【0011】一方、フォアグラウンド動作には、主に、複数ラインバッファ部内の所望のラインバッファからワード (ワードデータ) を読み出すバッファリード動作と、所望のラインバッファにワードを書き込むバッファライト動作との2種類が存在する。なお、従来技術1においては、複数ラインバッファ部はフルアソシアティブ型に構成されている。ここで、「フルアソシアティブ」とは、図7に示されているように、任意の位置のセグメントを複数ラインバッファ部内の任意のラインバッファに読み出すことが可能だという意味である。

【0012】図8および図9は、従来技術1における複数ラインバッファ部の制御方法を説明するための図である。

【0013】従来技術1では、コンピュータシステムで使われるメモリLSIに対して、色々なメモリマスタからのメモリアクセスが入り交じって要求されることを前提として考えている。ここで、「色々なメモリマスタからのメモリアクセス」とは、例えばCPU (Central Processing Unit) からの命令フェッチアクセスや、CPUからのデータアクセスや、2次元グラフィクスコントローラからのデータアクセスや、3次元グラフィクスアクセラレータからのデータアクセス等が考えられる。

【0014】一般に、これらの異なるメモリマスタからのメモリアクセスは、何らメモリアドレスの相関関係を持たないため (あるいはメモリアクセスの局所性がばらばらであるため)、通常のDRAMの場合には、頻繁にページのオープン・クローズが発生して、メモリアクセス遅延が大きくなってしまいうという問題があった。このような問題は、「メモリアクセスの相互干渉」または「メモリアクセスの相互汚染」等という言葉で呼ばれる。

【0015】このような問題に対し、従来技術1では、図8に示すように、異なるメモリマスタそれぞれに対して、異なるラインバッファを割り当てる制御方法が提案されている。これにより、異なる局所性を持つメモリアクセスが、お互いに入り交じることなく別々のラインバッファを用いて処理されるため、上述の問題を回避することが可能となる。

【0016】ここで、従来技術1においては、このようなラインバッファのメモリマスタへの割り当ては、全て複数ラインバッファ型メモリLSIの外部に存在するメモリコントローラLSI側で制御を行うことを前提としており、具体的にどのような制御を行うのかという点に関する規定、あるいは提案はなされていない。

【0017】メモリコントローラLSIは、図9に示すように、まずラインバッファ割り当て制御部でどのメモリマスタをどのラインバッファに割り当ててメモリアクセスを行うかを決定する（通常初期設定として行われる）。その上で、それぞれのメモリアクセスに際しては、上述のバックグラウンド動作とフォアグラウンド動作とを行って、複数ラインバッファ型メモリLSIに対する所望のメモリアクセス動作を完遂することになる。

【0018】ここで、メモリアクセスのアクセス遅延を削減するためには、なるべく多くのメモリアクセスがフォアグラウンド動作のみで実行できるようにバックグラウンド動作を制御することが重要である。このため、メモリコントローラLSI内のバックグラウンド動作制御部は、なるべく早く必要なデータを複数ラインバッファ部にプリフェッチし、不必要なデータはなるべく早くメモリ部にリストアして必要なデータのためにラインバッファを使用可能とするように、バックグラウンド動作の制御を行う必要があった。

【0019】なお、以上説明してきた従来技術1における上記のような制御方法については、上述の資料の他に、1998年に開かれた「VLSI Circuit Symposium」において併催されたチュートリアルにおいてジェフリー・H・リー（Jeffery H. Lee）氏により講演された「Multitasking Memory Architecture」の講演内容に詳しく述べられている。

【0020】

【発明が解決しようとする課題】上述のような従来の技術（従来技術1等）における複数ラインバッファ型メモリLSI（その制御方法を含む）には、以下のa～eに示すような問題点が存在する。

【0021】a. メモリアクセスに3つのパターン（ページミス、ページヒット、およびラインバッファヒット）が存在し、それぞれのパターンによってメモリアクセス時間が異なるため、メモリアクセスのスケジューリング管理が複雑になりがちである。

【0022】b. ページにもラインバッファにもヒットしなかった場合に、最低限、ページオープン動作およびプリフェッチ動作の2つの動作を行った上でラインバッファに対する読み書きアクセスを行う必要があるため、メモリアクセス遅延が大きくなってしまう。

【0023】c. ラインバッファにヒットしなかった場合に、上記bと同じ理由で、メモリ管理（特に、どのページがオープンになっているかに関する管理）とラインバッファ管理（特に、どのセグメントがどのラインバッファに存在するかに関する管理）とが煩雑になってしまう。

【0024】d. 特に、プリフェッチ時に、ページにもラインバッファにもヒットしなかった場合で、かつあるセグメントをリストアする必要が生じ（全てのラインバ

ッファが使用されており新しいセグメントをプリフェッチするラインバッファの空きがない場合にこの必要が生じる）、さらにリストアしようとするセグメントを含むページとは別のページがオープンされている場合に、複雑で長いシーケンスの処理が必要となる。具体的には、プリフェッチ動作を行う前に、ページクローズ動作、ページオープン動作、リストア動作、ページクローズ動作、およびページオープン動作を行う必要が生じる。

【0025】e. 上記のbおよびdの問題点の存在を理由として、特に頻繁にバックグラウンド動作を行う必要がある（すなわちラインバッファミスが頻発する）ランダムなメモリアクセスに際して、メモリアクセス遅延が大きくなってしまう。

【0026】本発明の目的は、上述の点に鑑み、上記のような従来技術（従来技術1等）による問題点を解決し、より簡便な構成および動作（制御方法）でメモリアクセス遅延を削減することができる複数ラインバッファ型メモリLSIを提供することにある。

【0027】

【課題を解決するための手段】本発明の複数ラインバッファ型メモリLSIは、メモリ部に複数のラインバッファからなる複数ラインバッファ部を付加し、前記複数ラインバッファ部内の1つのラインバッファと前記メモリ部内のメモリセルアレイとの間でセグメント単位でデータの読み書きを行うことを特徴とする複数ラインバッファ型メモリLSIにおいて、直接プリフェッチコマンドに基づき、前記メモリ部内の複数のメモリセルから前記複数ラインバッファ部内のラインバッファまで直接にセグメント単位のデータを読み出す制御を行うコマンドコントローラ内の直接プリフェッチ制御部と、直接リストアコマンドに基づき、前記複数ラインバッファ部内のラインバッファから前記メモリ部内の複数のメモリセルまで直接にセグメント単位のデータを書き戻す制御を行うコマンドコントローラ内の直接リストア制御部と、バッファリードコマンドに基づき、前記複数ラインバッファ部内のラインバッファからワード単位のデータを外部に読み出す制御を行うコマンドコントローラ内のバッファリード制御部と、バッファライトコマンドに基づき、前記複数ラインバッファ部内のラインバッファに外部からのワード単位のデータを書き込む制御を行うコマンドコントローラ内のバッファライト制御部と、前記直接プリフェッチ制御部、前記直接リストア制御部、前記バッファリード制御部、および前記バッファライト制御部による制御の実行に際して、外部からの指示に基づいて前記複数ラインバッファ部内の処理対象となるラインバッファを特定する制御を行うラインコントローラとを有する。

【0028】また、本発明の複数ラインバッファ型メモリLSIは、前記ラインコントローラによる制御を外部からのコマンドに基づくコマンドコントローラによる制

御で実現することも可能である。

【0029】

【発明の実施の形態】次に、本発明について図面を参照して詳細に説明する。

【0030】図1は、本発明の一実施の形態に係る複数ラインバッファ型メモリLSIの構成を示すブロック図である。

【0031】図1を参照すると、本実施の形態に係る複数ラインバッファ型メモリLSIは、メモリ部11と、複数ラインバッファ部12と、アドレスバッファ13と、コマンドデコーダ14と、データバッファ15と、コマンドコントローラ16と、ラインコントローラ17とを含んで構成されており、外部端子として、アドレス入力端子群101、コマンド入力端子群102、およびデータ入出力端子群103を有している。

【0032】メモリ部11は、メモリセルアレイ111と、センスアンプ部112とを含んで構成されている。

【0033】複数ラインバッファ部12は、複数のラインバッファ121を含んで構成されている。

【0034】コマンドコントローラ16は、制御レジスタ160と、直接プリフェッチコマンドに基づき直接プリフェッチ動作（メモリ部11内のメモリセルアレイ111中の複数のメモリセルから複数ラインバッファ部12内のラインバッファ121まで直接にセグメント単位のデータを読み出す動作）を制御する直接プリフェッチ制御部161と、直接リストアコマンドに基づき直接リストア動作（複数ラインバッファ部12内のラインバッファ121からメモリ部11内のメモリセルアレイ111中の複数のメモリセルまで直接にセグメント単位のデータを書き戻す動作）を制御する直接リストア制御部162と、バッファリードコマンドに基づきバッファリード動作（複数ラインバッファ部12内のラインバッファ121からワード単位のデータを外部に読み出す動作）を制御するバッファリード制御部163と、バッファライトコマンドに基づきバッファライト動作（複数ラインバッファ部12内のラインバッファ121に外部からのワード単位のデータを書き込む動作）を制御するバッファライト制御部164とを含んで構成されている。

【0035】図2は、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるメモリアクセスの方法を説明するための図である。

【0036】図3は、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるバックグラウンド動作を説明するための図である。

【0037】図4は、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるバックグラウンド動作を実現するためのメモリ部11内のビット線回路の構成を示す回路図である。

【0038】このビット線回路は、メモリセルアレイ111内のメモリセル41と、ビット線対42と、データ

線43と、センスアンプ部112内のセンスアンプ44、読み書きスイッチ45、およびプリチャージ・イコライズ回路46とを含んで構成されている。

【0039】次に、上述のように構成された本実施の形態に係る複数ラインバッファ型メモリLSIの動作について、以下の(1)～(4)において詳細に説明する。

【0040】(1) 第1に、図1および図2を参照して、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるメモリアクセスに関する全体的な動作について説明する。

【0041】本実施の形態に係る複数ラインバッファ型メモリLSIにおけるメモリアクセスは、直接プリフェッチ動作、直接リストア動作、バッファリード動作、およびバッファライト動作の4種類の基本的な動作の組み合わせで実現される。これらの動作は、コマンド入力端子群102およびコマンドデコーダ14を介して、外部よりそれぞれ直接プリフェッチコマンド、直接リストアコマンド、バッファリードコマンド、およびバッファライトコマンドが指定されることで、コマンドコントローラ16の制御によって実現される。

【0042】すなわち、図1中のコマンドコントローラ16内の各制御部は、指定された各コマンドに基づいて以下に示すような処理（制御）を行う。

【0043】直接プリフェッチ動作時には、直接プリフェッチ制御部161は、直接プリフェッチコマンドに基づき、メモリ部11内のメモリセルアレイ111中のあるセグメント（複数のメモリセル）のデータ（セグメントデータ）を複数ラインバッファ部12内のいずれかのラインバッファ121（ラインコントローラ17の制御によって特定されるラインバッファ121）に読み出す制御を行う。

【0044】ここで、メモリセルアレイ111中のどのセグメントのデータを読み出すかは、アドレス入力端子群101およびアドレスバッファ13を介して外部よりコマンドコントローラ16に対して指定される。

【0045】また、どのラインバッファ121に読み出すかは、アドレス入力端子群101およびアドレスバッファ13を介して外部よりラインコントローラ17に対して指定される。この指定に基づいて、ラインコントローラ17は、複数ラインバッファ部12内の処理対象（読み出し先）となるラインバッファ121を特定する制御を行う。

【0046】なお、どのラインバッファ121に読み出すかは、コマンド入力端子群102およびコマンドデコーダ14を介し、コマンドの一部としてコマンドコントローラ16に対して指定することも可能である（この場合には、上記のラインコントローラ17による制御はコマンドコントローラ16による制御で実現され、ラインコントローラ17は当該直接プリフェッチ動作に関与しなくなる）。

【0047】直接リストア動作時には、直接リストア制御部162は、いずれかのラインバッファ121（ラインコントローラ17の制御によって特定されるラインバッファ121）に格納されているセグメントデータをメモリセルアレイ111内のいずれかのセグメント（複数のメモリセル）に書き戻す制御を行う。

【0048】ここで、どのラインバッファ121のセグメントデータを書き戻すかは、アドレス入力端子群101およびアドレスバッファ13を介して外部よりラインコントローラ17に対して指定される。この指定に基づいて、ラインコントローラ17は、複数ラインバッファ部12内の処理対象（書き戻し対象）となるラインバッファ121を特定する制御を行う。

【0049】また、メモリセルアレイ111中のどのセグメントに書き戻すかは、アドレス入力端子群101およびアドレスバッファ13を介して外部よりコマンドコントローラ16に対して指定される。

【0050】なお、どのラインバッファ121のセグメントデータを書き戻すかは、コマンド入力端子群102およびコマンドデコーダ14を介し、コマンドの一部としてコマンドコントローラ16に対して指定することも可能である（この場合には、上記のラインコントローラ17による制御はコマンドコントローラ16による制御で実現され、ラインコントローラ17は当該直接リストア動作に関与しなくなる）。

【0051】バッファリード動作時には、バッファリード制御部163は、いずれかのラインバッファ121に格納されたデータの中から、いずれかのワードデータ（ワード単位のデータ）をデータバッファ15およびデータ入出力端子群103を介して外部に読み出す制御を行う。

【0052】ここで、どのラインバッファ121のどのワードデータを読み出すかは、アドレス入力端子群101およびアドレスバッファ13を介して外部よりラインコントローラ17に対して指定される。この指定に基づいて、ラインコントローラ17は、複数ラインバッファ部12内の処理対象（読み出し対象）となるラインバッファ121を特定する制御を行う。

【0053】なお、どのラインバッファ121にアクセスするかは、コマンド入力端子群102およびコマンドデコーダ14を介し、コマンドの一部としてコマンドコントローラ16に対して指定することも可能である（この場合には、上記のラインコントローラ17による制御はコマンドコントローラ16による制御で実現され、ラインコントローラ17は当該バッファリード動作に関与しなくなる）。

【0054】バッファライト動作時には、バッファライト制御部164は、いずれかのラインバッファ121のいずれかのワード位置に対して、データ入出力端子群103およびデータバッファ15を介して外部から与えら

れたワードデータを書き込む制御を行う。

【0055】ここで、どのラインバッファ121のどのワード位置にデータを書き込むかは、アドレス入力端子群101およびアドレスバッファ13を介して外部よりラインコントローラ17に対して指定される。この指定に基づいて、ラインコントローラ17は、複数ラインバッファ部12内の処理対象（書き込み対象）となるラインバッファ121を特定する制御を行う。

【0056】なお、どのラインバッファ121にアクセスするかは、コマンド入力端子群102およびコマンドデコーダ14を介し、コマンドの一部としてコマンドコントローラ16に対して指定することも可能である（この場合には、上記のラインコントローラ17による制御はコマンドコントローラ16による制御で実現され、ラインコントローラ17は当該バッファライト動作に関与しなくなる）。

【0057】ところで、バッファリード動作時／バッファライト動作時には、一度のコマンド／アドレスの入力で、連続する複数のワードデータを読み書きすることができる。何ワード分のデータを読み書きするかは、コマンドコントローラ16内に設けられる制御レジスタ160に、アドレス入力端子群101およびアドレスバッファ13またはコマンド入力端子群102およびコマンドデコーダ14を介して外部から所望のバースト長情報を設定することにより行われる。この設定は、上述のコマンドとは別に設定されたレジスタ書き込みコマンド等を用いて行われる。

【0058】（2） 第2に、図3を参照して、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるバックグラウンド動作に関して詳細に説明する。

【0059】図1および図2から明らかなように、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるバックグラウンド動作では、直接プリフェッチ動作時および直接リストア動作時の双方において、センスアンプ部112を介して、メモリセルアレイ111と複数ラインバッファ部12との間でセグメントデータ（セグメント単位のデータ）の転送が行われる。

【0060】このようなセグメントデータの転送におけるセンスアンプ部112の動作の態様には、以下のaおよびbに示す2つの態様が考えられる。

【0061】a. 第1の態様

第1の態様としては、図3中の（a）に示したバックグラウンド動作の態様が該当する。この態様では、センスアンプ部112において、ちょうど1つのセグメントデータに対応する（1つのセグメントデータの転送が可能な）センスアンプのセットのみを一度に動作させることを特徴としている。すなわち、セグメント単位でデータの読み書きを行う際に、一度に動作する複数個のセンスアンプのセットのサイズを当該セグメントのサイズと等しくすることを特徴としている。

【0062】b. 第2の態様

第2の態様としては、図3中の(b)に示したバックグラウンド動作の態様が該当する。この態様では、センスアンプ部112において、複数のセグメントデータに対応するセンスアンプのセットを一度に動作させ、そのうちの1つのセグメントデータのみを複数ラインバッファ部12との間で転送することを特徴としている。すなわち、セグメント単位でデータの読み書きを行う際に、一度に動作する複数のセンスアンプのセットのサイズを当該セグメントのサイズの2以上の正整数倍とすることを特徴としている。なお、この態様においては、同時にセンスアンプ部112で活性化される複数のセグメントは、あわせてページと呼ばれる。

【0063】(3) 第3に、図4を参照して、本実施の形態に係る複数ラインバッファ型メモリLSIにおけるバックグラウンド動作を実現するためのビット線回路の動作について説明する。

【0064】本実施の形態に係る複数ラインバッファ型メモリLSIでは、バックグラウンド動作中に、ビット線のプリチャージとセンスアンプのイコライズとを行うことを特徴としている。これらの処理は、図4に示すビット線回路の以下のような動作により実現される。

【0065】図4に示すように、このビット線回路では、複数のメモリセル41がセンスアンプ44にビット線対42を介して接続されている。センスアンプ44は、読み書きスイッチ45を介してデータ線43に接続されている。ビット線対42にはプリチャージ・イコライズ回路46が付属しており、このプリチャージ・イコライズ回路46によりビット線対42のプリチャージおよびセンスアンプ44のイコライズが行われる。なお、図4では、メモリセルとしてDRAMセルが使用された場合を例として示している。

【0066】直接プリフェッチ動作時には、センスアンプ44は、ビット線対42に読み出されたデータを増幅する。センスアンプ44は、読み書きスイッチ45を介してデータ線43にデータを読み出し、かつメモリセル41にデータを書き戻す。その後、プリチャージ・イコライズ回路46は、ビット線対42のプリチャージおよびセンスアンプ44のイコライズを行う。

【0067】直接リストア動作時には、センスアンプ44は、読み書きスイッチ45を介して取り込んだデータ(データ線43に与えられた書き込みデータ)をバッファリングし、ビット線対42を介してメモリセル41に当該データを書き込む。その後、プリチャージ・イコライズ回路46は、ビット線対42のプリチャージおよびセンスアンプ44のイコライズを行う。

【0068】このように、バックグラウンド動作に際して、センスアンプ44によるセンス動作が完了するタイミングにあわせてビット線対42のプリチャージおよびセンスアンプ44のイコライズを行うことにより、直接

プリフェッチ動作の前に直接リストア動作を行う必要性が発生しなくなる。特に、図3中の(a)で説明した「1つのセグメント分だけしかセンスアンプを動作させない態様」と上記のような本実施の形態におけるビット線回路による動作の態様とを組み合わせることにより、センスアンプを無駄に動作させて余分な電力を消費することなく、バックグラウンド動作の高速化を図ることが可能となる。

【0069】なお、従来の複数ラインバッファ型メモリLSIに準じて、本発明の複数ラインバッファ型メモリLSIにおけるバックグラウンド動作においても、そのバックグラウンド動作中に「ビット線のプリチャージ」と「センスアンプのイコライズ」とを行わずに、セグメントデータをセンスアンプに一時的に保持する態様を採用することも可能である。

【0070】このような態様を採用する場合には、図3中の(b)で説明した「複数のセグメント分のセンスアンプを動作させる態様」と組み合わせることにより、センスアンプに既にセグメントデータが存在するときに、直接プリフェッチ動作の高速化を図ることができる。

【0071】なお、上記の2つの態様(本実施の形態に係る複数ラインバッファ型メモリLSIのように図4に示すビット線回路を採用する態様および従来の複数ラインバッファ型メモリLSIに準じてセグメントデータをセンスアンプに一時的に保持する態様)に関しては、例えばモード選択手法により、選択的に各態様を実施することも考えられる。

【0072】(4) 第4に、複数ラインバッファ部12の構成について言及しておく。

【0073】本実施の形態に係る複数ラインバッファ型メモリLSIでは、複数ラインバッファ部12を、フルアソシアティブ型として構成することも、セットアソシアティブ型として構成することもできる。ここで、フルアソシアティブ型の構成(フルアソシアティブ構成)とは、メモリ部11内のどのセグメント位置のセグメントデータでも、複数ラインバッファ部12内の任意のラインバッファ121に読み出し可能(書き込みの場合はその逆)である構成を意味する。また、セットアソシアティブ型の構成(セットアソシアティブ構成)とは、メモリ部11内のセグメント位置に応じて、複数ラインバッファ部12内のどのラインバッファ121に読み出し可能(書き込みの場合はその逆)であるかが、一定の選択範囲の下で定められる構成を意味する。

【0074】

【発明の効果】本発明の複数ラインバッファ型メモリLSIにより得られる効果を、従来の通常型のメモリLSIと比較した場合の効果と、従来の複数ラインバッファ型メモリLSIと比較した場合の効果とのそれぞれについて述べる。ここで、従来の通常型メモリLSIとは、

例えばSDRAMのように、ページモードアクセス手法を用いてメモリアクセスの高速化を図ったメモリLSIのことを指している。

【0075】(1) 従来の通常型メモリLSIと比べた場合の効果

従来の通常型メモリLSIと比べた場合には、本発明の複数ラインバッファ型メモリLSIは、以下のa～e等に示すような効果を挙げることができる。

【0076】a. 通常型メモリLSIでは、メモリアクセスのパターン（メモリアクセス遅延の生じるタイミング）はページヒットとページミスとの2種類である。本発明の複数ラインバッファ型メモリLSIでも、メモリアクセスのパターンはラインバッファヒットとラインバッファミスとの2種類であり、制御（メモリアクセスのスケジューリング管理等）が複雑化することはない。

【0077】b. 本発明におけるラインバッファにヒットした時（ラインバッファヒット時）のメモリアクセス遅延は、通常型メモリLSIにおけるページヒット時のメモリアクセス遅延よりも短い。これは、複数ラインバッファ部がメモリ部の外側にあるのに対して、ページをバッファリングするセンスアンプ部がメモリ部の内側にあるためである。例えば、通常型メモリLSIにおけるページヒット時に3サイクルのメモリアクセス遅延が生じるとした場合には、本発明の複数ラインバッファ型メモリLSIではラインバッファヒット時のメモリアクセス遅延として1サイクルまたは2サイクル程度のメモリアクセス遅延に抑制することが期待できる。

【0078】c. 本発明におけるラインバッファのヒット率を、通常型メモリLSIにおけるページのヒット率よりも高くすることができる。これは、ラインバッファを保持する複数ラインバッファ部についてはフルアソシアティブ構成またはセットアソシアティブ構成にできるのに対して、ページを保持するセンスアンプ部についてはダイレクトマップ方式でしか構成できないためである。なお、フルアソシアティブ構成やセットアソシアティブ構成では、ダイレクトマップ構成に比べて、アドレスの衝突によるヒットミスを大幅に減らすことができるということは、一般に知られた（公知の）事実である。

【0079】d. 通常型のメモリLSIでなるべくページヒット率を上げようとする場合には、メモリ部を多バンク構成として多数のバンクを用いる必要が生じるが、これは面積のオーバーヘッドが大きい。例えば、16バンク構成程度にした場合には、面積オーバーヘッドは30%程度と考えられる。これに対して、本発明の複数ラインバッファ型メモリLSIでは、メモリ部のバンク数を増やさずに同等以上の効果（ラインバッファヒット率向上の効果）を挙げることが可能であり、かつ面積オーバーヘッドは16ラインバッファで5%程度と非常に小さい。このように、より少ない面積オーバーヘッドで、同等以上のヒット率向上の効果を挙げることが可能となる。

【0080】e. 本発明の複数ラインバッファ型メモリLSIにおいて、一度に動作させるセンスアンプの数をセグメントのサイズとし、従来の通常型メモリLSIにおけるページのサイズ（セグメントの複数個分）より減らした場合には、他の面で従来と同等以上の性能を挙げながら、消費電力を削減することが可能となる。

【0081】(2) 従来の複数ラインバッファ型メモリLSIと比べた場合の効果

従来の複数ラインバッファ型メモリLSIと比較した場合には、本発明は、以下のa～e等に示すような効果を挙げることができる。

【0082】a. 従来の複数ラインバッファ型メモリLSIでは3種類あったメモリアクセスのパターン（ページミス、ページヒット、およびラインバッファヒット）が、本発明の複数ラインバッファ型メモリLSIでは2種類（ラインバッファミスおよびラインバッファヒット）に統合されるので、メモリアクセスのスケジューリング管理を簡素化することができる。

【0083】b. 従来の複数ラインバッファ型メモリLSIでは、ページにもラインバッファにもヒットしなかった場合に、最低限、ページオープン動作およびプリフェッチ動作の2つを行った上でラインバッファに対する読み書きアクセスを行う必要があった。これに対して、本発明の複数ラインバッファ型メモリLSIでは、ラインバッファにヒットしなかった場合には、基本的には、プリフェッチ動作（直接プリフェッチ動作）のみを行えばよいので、メモリアクセス遅延を大幅に削減することができる。

【0084】c. 従来の複数ラインバッファ型メモリLSIでは、ラインバッファにヒットしなかった場合に、上記bと同じ理由で、メモリ管理（特に、どのページがオープンになっているかに関する管理）とラインバッファ管理（特に、どのセグメントがどのラインバッファに存在するかに関する管理）とが煩雑になってしまう。これに対して、本発明の複数ラインバッファ型メモリLSIでは、ラインバッファ管理のみを行えばよくなる。

【0085】d. 従来の複数ラインバッファ型メモリLSIでは、特に、プリフェッチ時に、ページにもラインバッファにもヒットしなかった場合で、かつあるセグメントをリストアする必要が生じ（全てのラインバッファが使用されており新しいセグメントをプリフェッチするラインバッファの空きがない場合にこの必要が生じる）、さらにリストアしようとするセグメントを含むページとは別のページがオープンされている場合に、プリフェッチ動作の前に、ページクローズ動作、ページオープン動作、リストア動作、ページクローズ動作、およびページオープン動作を行う必要があった。これに対して、本発明の複数ラインバッファ型メモリLSIでは、直接リストア動作および直接プリフェッチ動作のみを行えばよくなり、大幅に動作が簡素化される。

【0086】図5は、上記dの効果を具体的に説明するための図である。従来の複数ラインバッファ型メモリLSIにおけるリストア動作に関連する動作時には、図5中の(b)に示す(1)～(5)の5つの動作が必要になる。これに対して、本発明の複数ラインバッファ型メモリLSIにおける直接リストア動作に関連する動作時には、図5中の(a)に示す(1)および(2)の2つの動作(直接リストア動作および直接プリフェッチ動作)ですむことになる。

【0087】e. 上記のbおよびdの効果の存在を理由として、特に頻繁にバックグラウンド動作を行う必要がある(すなわちラインバッファミスが頻発する)ランダムなメモリアクセスに際して、ページオープン・クローズ動作のオーバーヘッドが存在しないこと等により、メモリアクセス遅延を小さくでき、メモリアクセスを実効的に高速化することが可能となる。

【0088】(3) まとめ

上記のように、本発明の複数ラインバッファ型メモリLSIでは、従来の通常型メモリLSIおよび従来の複数ラインバッファ型メモリLSIに対して、より簡便な動作方法によって、より低い消費電力および面積オーバーヘッドで、メモリアクセス遅延を削減することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る複数ラインバッファ型メモリLSIの構成を示すブロック図である。

【図2】図1に示す複数ラインバッファ型メモリLSIのメモリアクセス方法を説明するための図である。

【図3】図1に示す複数ラインバッファ型メモリLSIにおけるバックグラウンド動作を説明するための図である。

【図4】図1に示す複数ラインバッファ型メモリLSIにおけるメモリ部内のビット線回路の構成を示す回路図である。

【図5】本発明の複数ラインバッファ型メモリLSIによる効果を従来の複数ラインバッファ型メモリLSIと比較して説明するための図である。

【図6】従来の複数ラインバッファ型メモリLSIの構成を示すブロック図である。

【図7】従来の複数ラインバッファ型メモリLSIにおけるメモリアクセス動作を説明するための図である。

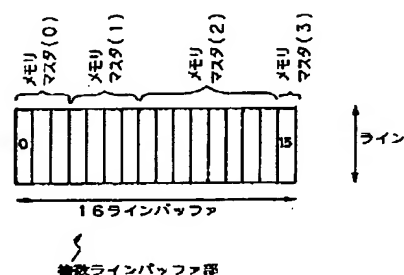
【図8】従来の複数ラインバッファ型メモリLSIにおけるメモリアクセス動作の制御方法を説明するための図である。

【図9】従来の複数ラインバッファ型メモリLSIにおけるメモリアクセス動作の制御方法を説明するための図である。

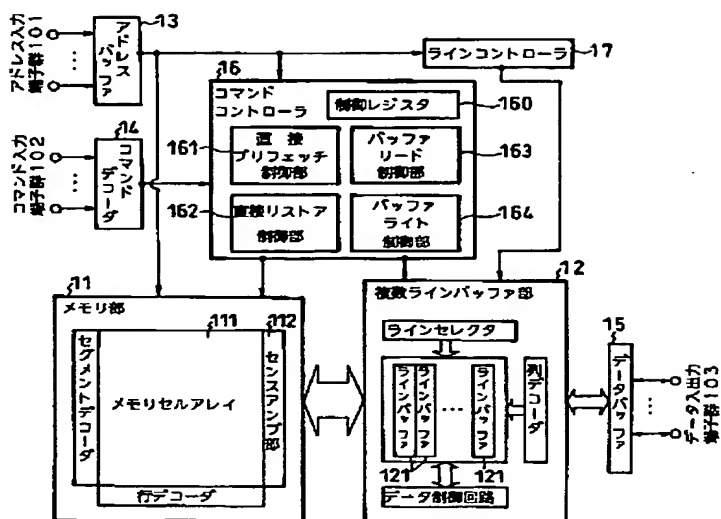
【符号の説明】

- 11 メモリ部
- 12 複数ラインバッファ部
- 13 アドレスバッファ
- 14 コマンドデコーダ
- 15 データバッファ
- 16 コマンドコントローラ
- 17 ラインコントローラ
- 41 メモリセル
- 42 ビット線対
- 43 データ線
- 44 センスアンプ
- 45 読み書きスイッチ
- 46 プリチャージ・イコライズ回路
- 25 101 アドレス入力端子群
- 102 コマンド入力端子群
- 103 データ入出力端子群
- 111 メモリセルアレイ
- 112 センスアンプ部
- 30 121 ラインバッファ
- 160 制御レジスタ
- 161 直接プリフェッチ制御部
- 162 直接リストア制御部
- 163 バッファリード制御部
- 35 164 バッファライト制御部

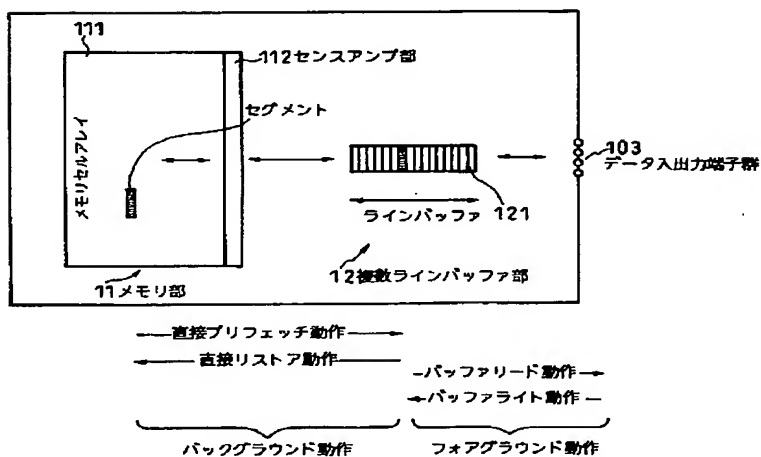
【図8】



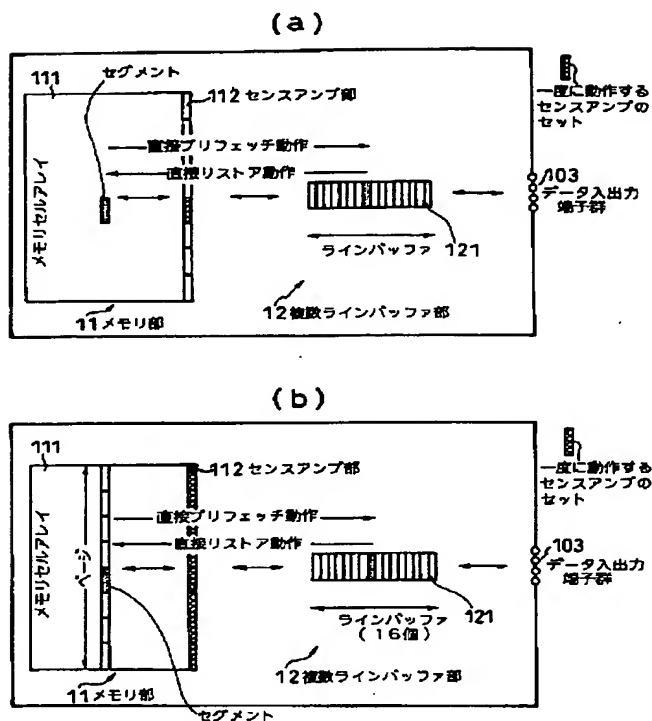
【図1】



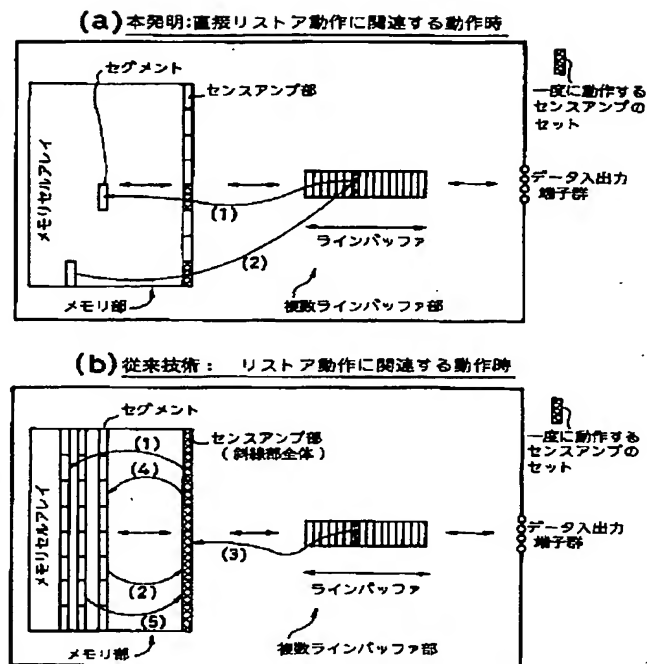
【図2】



【図3】

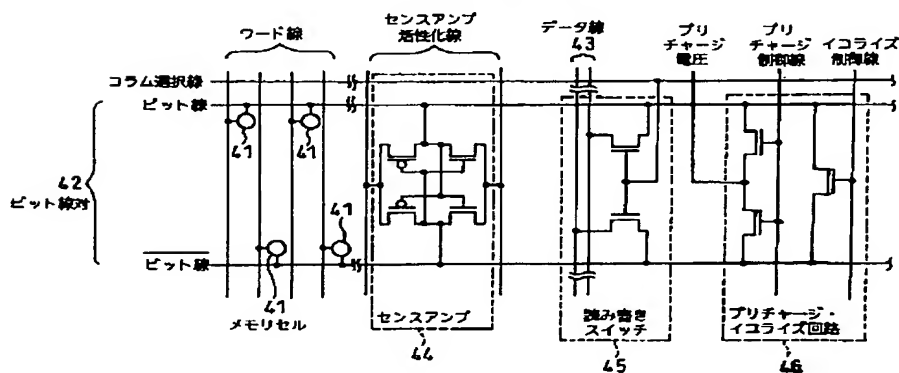


【図5】

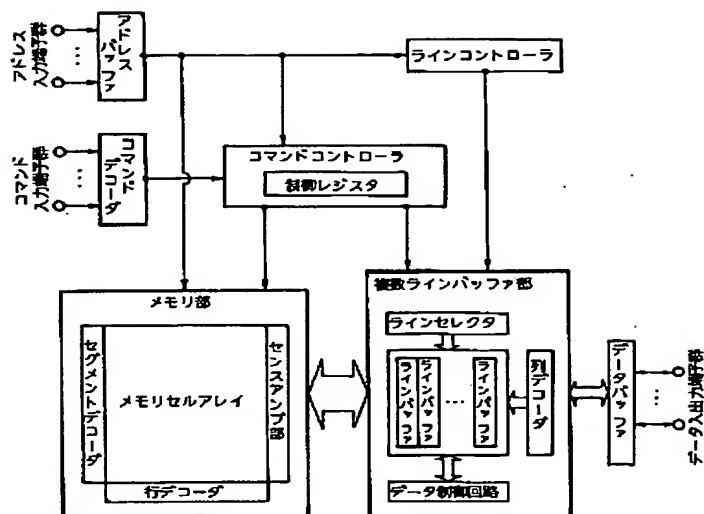


【図4】

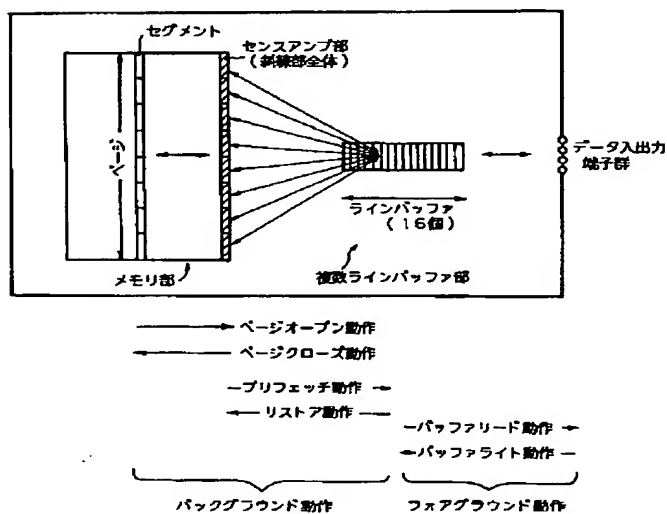
ビット線回路



【図6】



【図7】



【図9】

